DOI:10.19651/j.cnki.emt.2105891

基于 LVDS 和 USB3.0 的高速数据传输接口的设计

李锦明 郑志旺
(中北大学 仪器与电子学院 太原 030051)

摘 要：为了解决高速数据采集过程中,数据通过 LVDS 接口向计算机高速传输数据的问题。采用了 Xilinx 公司 Artix-7 系列型号为 XC7A35T 的 FPGA 作为主控芯片,并基于 USB3.0 接口芯片设计了从 LVDS 到 USB3.0 的高速数据传输接口。使用了 FPGA 内置的 LVDS 收发器接收 LVDS 数据,并通过 DDR3 缓存后写入到 USB3.0 控制传输芯片,完成 LVDS 接口到 USB3.0 接口的高速数据传输。经过数据传输测试,系统能够将 LVDS 接口收到的数据通过 USB3.0 传输到计算机的上位机,实际传输过程中速率保持在 250 MB/s,具有硬件设计简单、传输速度快等特点。

关键词：LVDS;USB3.0;高速数据传输;FPGA
中图分类号：TP274 **文献标识码**：A **国家标准学科分类代码**：510

Design of high-speed data transmission interface based on LVDS and USB3.0

Li Jinming Zheng Zhiwang
(School of Instrument and Electronics, North University of China, Taiyuan 030051, China)

Abstract: To solve the problem of high-speed data transmission to a computer through LVDS interface during high-speed data acquisition. Using Xilinx Artix-7 series model XC7A35T FPGA as the main control chip, and based on USB3.0 interface chip design from LVDS to USB3.0 high-speed data transmission interface. LVDS transceiver built-in FPGA is used to receive LVDS data and write it to USB3.0 control transmission chip after caching by DDR3 to complete high-speed data transmission from LVDS interface to USB3.0 interface. After the data transmission test, the system can transmit the data received by the LVDS interface to the upper computer of computer through USB3.0. In the actual transmission process, the rate is kept at 250 MB/s, which has the characteristics of simple hardware design and fast transmission speed.

Keywords: LVDS;USB3.0;high-speed data transmission;FPGA

0 引 言

近年来,高速数据采集、传输等技术应用更加广泛[1],LVDS 高速数据传输在 AD 采集、图像数据传输等方面的应用也越来越多[2],传输速度也越来越快,数据通过 LVDS 接口向计算机高速传输具有重要意义。目前,当数据采集模块需要向计算机高速传输数据时,常用的数据传输接口主要有 PXI、USB2.0、千兆以太网等。文献[3]提出采用 PXI 总线传输的方式,需要有专用 PXI 机箱配合使用,具有硬件设计复杂、成本较高的特点;文献[4]提出采用 USB2.0 总线传输的方式,速度较慢仅为 480 Mbit/s;文献[5]提出采用千兆以太网的传输方式,其理论速率只能达到 1 000 Mbit/s,传输速度较慢,开发周期较长。基于以上总线传输方式所具有的问题和缺点,本文选用了 USB3.0 总线做为 FPGA 与计算机之间的通信接口,具有 5 Gbit/s 的理论速度。常用的 USB3.0 总线解决方案一般采用接口芯片,国内外主要使用的有 Renesas(瑞萨电子)的 μPD720202、TI(德州仪器)的 TUSB1310、Cypress Semiconductor(赛普拉斯半导体)的 CYUSB3014、FTDI 的 FT600 系列等。μPD720202 通过 PCI Express 总线接口连接到计算机或 USB3.0 主设备,多用于将 PCI Express 转换为 USB3.0 接口,并没有提供高速并行接口;TUSB1310 这一型号的芯片内不含有 USB3.0 通信协议的控制器,需要额外加入控制器或由 FPGA 直接控制,软件驱动程序、开发包等资源少,开发周期相对较长;CYUSB3014 带有超高速 USB3.0 设备控制器,同样完全符合 USB3.0 规范,并且内部集成了 ARM9 内核的 32 bit 处理器,支持应用模式多,在功能上具有很大的灵活性,通过 FX3 芯片可以为其

收稿日期:2021-03-05

他系统添加 USB3.0 通信功能，根据不同的固件程序实现对参数进行配置，可以实现不同的功能，可定制性更高；FT600 系列仅能够支持控制传输、批量传输、中断传输等模式，不支持同步传输模式，与 CYUSB3014 相比功能较少。

本文采用了 CYUSB3014 基于 USB3.0 设计了 LVDS 总线到计算机之间的高速数据传输接口，同时具有传输速度快、硬件设计简单、开发周期短、USB3.0 接口通用性强等优点。针对高速数据传输过程中，LVDS 接口数据向计算机传输的问题，使用了带有内置 LVDS 收发器的 FPGA 作为主控模块，相对于使用专用的 LVDS 收发器的方法，降低了硬件电路的复杂性。

1　系统总体设计

系统主要由电源模块、FPGA 主控模块、LVDS 接口、USB3.0 接口等部分组成，系统总体设计原理如图 1 所示。其中，电源模块为 FPGA、USB3.0 芯片、接口电路等提供电源电压，以保证整个系统的正常运行；USB3.0 接口电路负责接收 FPGA 发送的 32 bit 并行数据，并高速上传到计算机中；FPGA 主控模块是本设计的核心部分，接收外部发送的 LVDS 信号后，经过 DDR3 存储器的缓存降数据写入到 CYUSB3014 芯片的 SlaveFIFO 中，完成数据的传输。

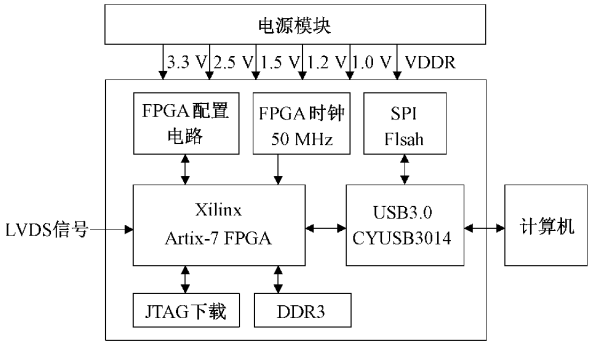

图 1　系统总体设计原理

2　系统硬件设计

2.1　电源模块设计

本设计的总电源由外部输入的 12 V 直流电源提供，通过 TPS54331、TPS51200 等电源降压芯片转换为各个模块所需要的电压。电源模块的供电拓扑结构如图 2 所示，外部输入的 12 V 直流电源经过 4 块 TPS54331 降压芯片，分别输出 3.3、1.5、1.2、1.0 V 电压，3.3 V 电压再经过下一级的降压电路输出 2.5、1.8 V 等电压。其中，3.3 V 电压主要用于 FPGA 的 BANK14、BANK34 的 IO 供电电源，并为第二级降压电路提供电源；1.5 V 用于 FPGA 的 BANK15 的 IO 供电电源，BANK15 的 IO 用于连接 DDR3；1.2 V 为 USB3.0 芯片 CYUSB3014 提供电源；1.0 V 为 FPGA 的内核和内部的 Block RAM 资源提供电源；2.5 V 为 FPGA 配置电路和 BANK35 的 IO 提供电源，BANK35 的 IO 主要用于连接 LVDS 接口，必须连接 2.5 V 的 VCCIO；1.8 V 为 FPGA 辅助电压 VCCAUX 提供电源，用于给 FPGA 内各种功能模块的互联资源和输入缓存电路供电[6]。

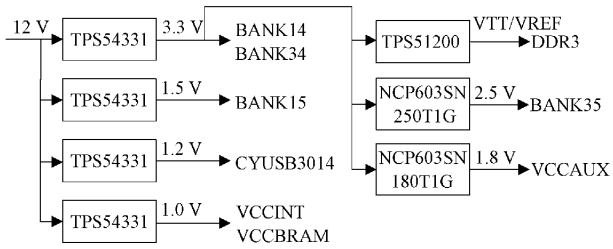

图 2　电源模块拓扑结构

2.2　FPGA 主控模块设计

本设计选用了 Xilinx 公司生产的 Artix-7 系列的型号为 XC7A35T 的 FPGA 作为主控芯片，该芯片采用 FTG256 的封装，能够提供 170 个可用 IO，并具有 LVDS 差分输入输出接口，能够满足设计需求。FPGA 主控模块的设计包含了下载接口、配置电路、DDR3 缓存设计等。

1）配置电路

由于 FPGA 是采用 SRAM 工艺的，具有掉电数据丢失的特性，当断电后所有的程序和数据都不能保存，下一次重新启动是无法正常运行的。对于 FPGA 器件，如果要实现在线调试功能，并将其产品化，就需要在板级电路设计时加入相应的配置电路。

FPGA 下载和配置电路如图 3 所示，选用了型号为 W25Q256 的非易失存储器，用来存储 FPGA 程序[7-8]。使用 Vivado 软件固化程序时，通过 USB 下载器连接到 FPGA 将程序数据写入到配置芯片中，当 FPGA 每一次重新上电后，都会直接从配置芯片中读取已经固化的代码并运行，解决了整个系统不能脱机工作的问题。

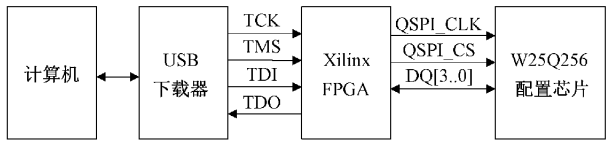

图 3　FPGA 下载和配置电路

2）FPGA 与 DDR3 缓存接口设计

本设计中 LVDS 接口与 USB3.0 接口传输数据的时钟、数据位的宽度都不相同，并且都具有传输速度较高、数据量大的特点。因此，使用 FPGA 内部 FIFO 作为数据缓存较难满足设计的需求，所以选用了更大存储容量的 DDR3 作为 LVDS 接收数据的缓存，FPGA 与 DDR3 的连接原理如图 4 所示。

2.3　LVDS 接口电路设计

LVDS 通信是低压差串行的数据收发，由于电压差非常低，并且使用差分对，所以可以传输数据的速率非常高，在一些高速数据的传输或采集中 LVDS 通信应用非常的广泛[9]。

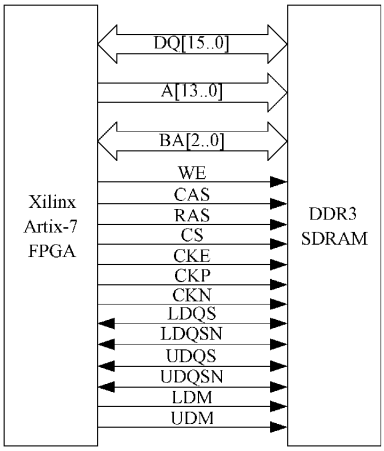

图 4　FPGA 与 DDR3 连接原理

常用的 LVDS 通信接口设计方法是使用专用的 LVDS 收发芯片[10-11]，将 LVDS 差分信号转换为 TTL 电平信号，再由 FPGA 控制进行数据的收发。目前很多 FPGA 已经具有了差分信号接口，Xilinx 的 XC7A35 T 内置了 LVDS 的收发器，能够实现 LVDS 的底层的传输功能，所以本设计直接选用了带有 LVDS 差分信号 IO 的 FPGA，LVDS 信号直接连接到 FPGA 的差分 IO 管脚，由 FPGA 控制直接接收数据，并进行 LVDS 数据的解串，相比使用 LVDS 专用收发芯片的方法，能够降低硬件复杂度、缩小电路板面积、降低成本等。

2.4　USB3.0 接口电路设计

采用了 Cypress 公司的 FX3 系列芯片进行 USB3.0 接口的设计。选用芯片的具体型号为 CYUSB3014，用以实现 FPGA 与计算机的 USB3.0 通信，该芯片支持 USB3.0 规范的数据传输协议，并且能够兼容 USB2.0，具有更高的兼容性。内置的高性能通用可编程接口 GPIF II 能够实现并行和串行数据的读写，支持 8、16、32 bit 并行数据总线，可以直接连接 FPGA 进行数据传输[12-14]。本设计中 USB3.0 控制器 FX3 与 FPGA 之间通过 SlaveFIFO 接口互联，实现大吞吐量数据传输。

FX3 分别连接到 FPGA 和计算机，通过 GPIF II 接口与 FPGA 进行数据的传输，FX3 与 FPGA 的硬件连接如图 5 所示，由 FPGA 内部的逻辑模块做为 FX3 的控制器，通过对 GPIF II 接口进行数据读写来实现 FPGA 与计算机之间 USB3.0 通信。24LC256 是一块容量为 256 KB 的 EEPROM，通过 IIC 总线与 FX3 芯片连接，用来存储 USB3.0 的固件程序，USB3.0 Micro-B 是连接计算机和 FX3 芯片的接口，数据的传输和 USB3.0 固件程序的烧写都通过此接口来实现[15]。

3　系统软件设计

Xilinx 公司的 Artix-7 系列 FPGA 的程序使用 Verilog 语言在 Vivado 开发环境上进行编写。FPGA 内部的逻辑

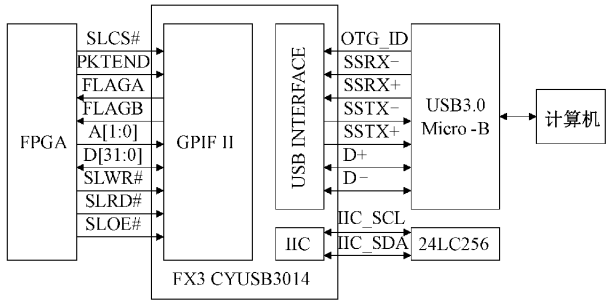

图 5　FX3 与 FPGA 硬件连接

模块结构如图 6 所示，主要由 LVDS 数据接收、DDR3 数据读写、USB3.0 通信模块等组成。

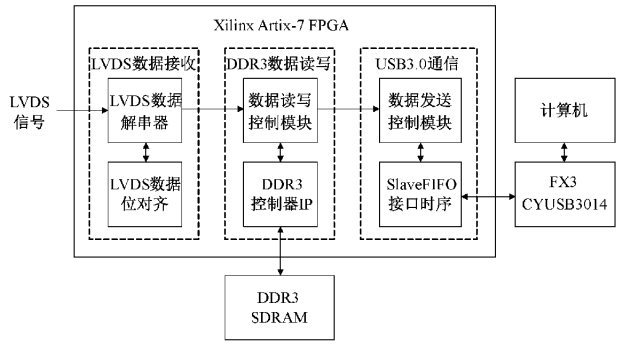

图 6　FPGA 内部模块结构

首先，由 LVDS 通信模块对 LVDS 信号进行位对齐处理，并且对有效数据进行解串，从而完成 FPGA 对 LVDS 数据的接收。然后，再通过 DDR3 数据读写模块将接收到的数据写入到 DDR3 缓存中，再从 DDR3 中读出发送到 USB3.0 通信模块。最后，通过 SlaveFIFO 接口将数据发送到 FX3 芯片，FX3 作为 USB 的从机将数据发送到计算机，完成了将 LVDS 接口收到的数据经 USB3.0 接口向计算机的高速传输。

3.1　LVDS 数据接收模块

在 LVDS 数据传输过程当中，每一个 LVDS 时钟周期，每一个数据通道都传输 7 bit 的串行数据信号，LVDS 信号传输的时序图如图 7 所示。但是在实际的连续的串行数据发送过来时，7 bit 的数据不一定是在一个完整的时钟周期内并对齐的，有可能产生移位，导致无法判断哪一位数据是 7 bit 中的最高位和最低位，无法正确地解析有效数据信息。因此就需要在 FPGA 内部做一个位对齐的处理，来实现有效的 LVDS 解串，找到正确的数据起始位。

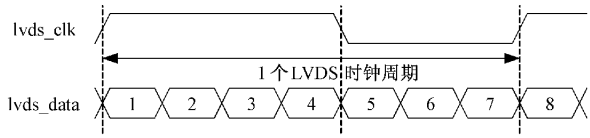

图 7　LVDS 信号的时序图

为了 LVDS 接收端正确接收数据做好数据对齐，收发模块必须约定好在开始建立数据的有效传输之前固定传输

pattern 数据。pattern 数据固定为连续交替出现的 2 个 7 bit 数据 7-b110_1101 和 7-b000_1000。

LVDS 数据接收模块使用了一个识别 pattern 的状态机，用于对齐 LVDS 串行数据位，状态转移原理如图 8 所示，两次判断是否有对应的两个连续 pattern 出现，若是则进入 BS_DONE 状态表示完成位对齐操作，发出对齐完成信号，进入正常的数据接收状态；若不是则进入 BS_BSLP 状态，对 LVDS 串行数据做一次移位后，发起新的位对齐操作，重新进行判断，直到完成 LVDS 串行数据的位对齐再进行数据的接收，并把接收到的数据发送到 DDR3 数据读写模块，写入到 DDR3 缓存中。

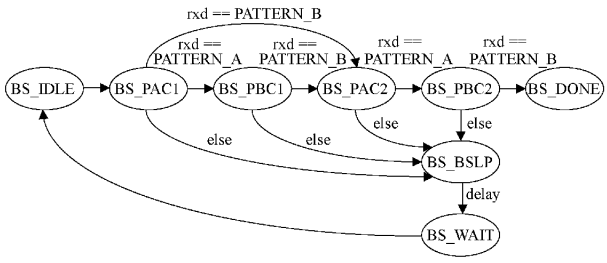

图 8　LVDS 位对齐状态机转移原理

3.2　USB3.0 通信模块

USB3.0 通信模块的主要功能是接收从 DDR3 中读出的数据，并通过 SlaveFIFO 接口将数据发送到 FX3 通信芯片，完成 USB3.0 的大吞吐量数据传输。

首先，要实现 FPGA 与 FX3 之间的数据交互，需要配置 GPIF II 接口的参数。使用 Cypress 官方提供的 GPIF II Designer 软件对 FX3 的固件工程进行编译，使用 32 bit 的 SlaveFIFO 实现 FPGA 与 FX3 之间的数据传输。

将编译好的 FX3 固件烧录完成后，FPGA 中的 USB3.0 通信模块行 SlaveFIFO 写入数据即可实现 FPGA 与 FX3 的通信，将数据发送到计算机。数据发送控制模块中使用了一个状态机，根据 SlaveFIFO 的时序将数据写入到 FX3，如图 9 所示，刚上电时为 FXS_RESET 状态，经过一个时钟进入 FXS_IDLE 状态，此时通过 FLAGA、FLAGB 信号判断 SlaveFIFO 是否可以写入。如果可以则进入 FXS_WRIT 状态，将数据从 DDR3 中读出，并写入到 FX3 的 SlaveFIFO 中，如果 SlaveFIFO 不可写入则进入 FXS_WSOP 状态停留一个时钟周期，然后跳转到 FXS_IDLE 状态继续等待，直到可以再次向 SlaveFIFO 写数据。这样就实现了 FPGA 通过 FX3 向计算机发送数据。

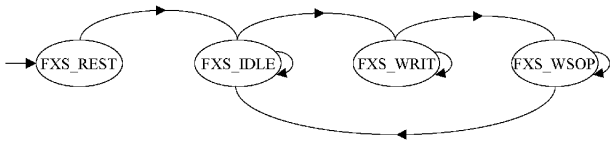

图 9　数据发送状态机

4　系统测试

4.1　测试平台搭建

系统测试的主要目的是测试数据传输的速度，并验证 LVDS 发送端发出的数据与计算机上位机接收到的数据是否一致。为了进行系统的测试，首先，需要搭建测试平台，系统测试平台结构如图 10 所示。系统测试平台的硬件部分在现有设计的基础上增加了 LVDS 数据发送模块，发出 1 路 LVDS 时钟和 4 路 LVDS 数据信号，发送模块通过 FPGA 外部的管脚连接到系统的 LVDS 数据接收端口上，将测试数据发送到 LVDS 数据接收模块，进行高速数据传输接口的测试。

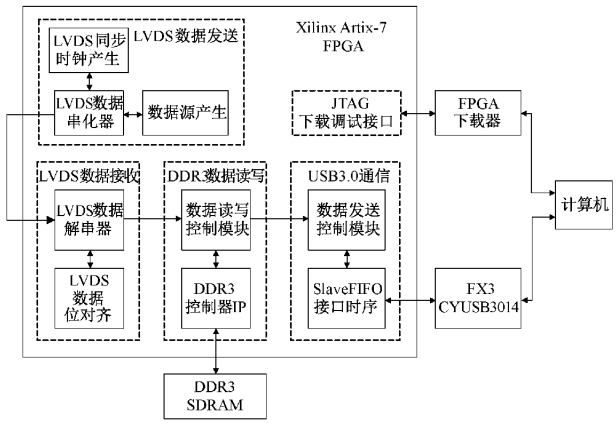

图 10　系统测试平台结构

4.2　测试步骤和方法

系统测试平台搭建完成后，开始进行系统的测试。测试过程主要分为 FPGA 程序烧录、FX3 固件程序烧录、收发数据比对、数据传输速度测试等步骤。

本设计使用 Xilinx 公司提供的 Vivado 软件开发环境，进行 FPGA 测试程序的编写、综合、实现、下载、调试等工作。首先，对 FPGA 测试程序进行综合编译、实现编译，生成 bit 流文件，再将 bit 文件转换为 mcs 文件，并使用 FPGA 下载器连接电脑和 FPGA，将 mcs 文件烧录到 QSPI Flash 中，固化 FPGA 测试程序，使得整个系统断电后 FPGA 会自动从 QSPI Flash 中加载程序，从而进入正常的工作状态，确保后续的系统测试能够进行。

要使 FPGA 能够与 FX3 之间进行数据交互，需要先烧录 FX3 的固件程序，将其配置为 SlaveFIFO 模式。通过 USB3.0 的接口连接计算机，使用 Cypress 提供的烧录软件将编写好的固件程序烧录到对应的外部 SPI Flash 中，整个系统即可进行正常的高速数据传输。

测试过程中，LVDS 发送模块循环发送一段从 0x00～0x7F 的 16 进制数 100 次，一共 12 800 Byte 的数据。系统将接收到的数据处理后，由 FPGA 控制 USB3.0 接口将数据发送到计算机上位机。上位机将接收到的数据保存后，

使用 Ultra Compare 文本对比软件将接收到的数据与测试端发送的数据进行对比,对比结果如图 11 所示,从图中可以看出,发送与接收到的数据均为 12 800 Byte,0 Byte 差异,12 800 Byte 匹配相同,没有数据的丢失或错误。

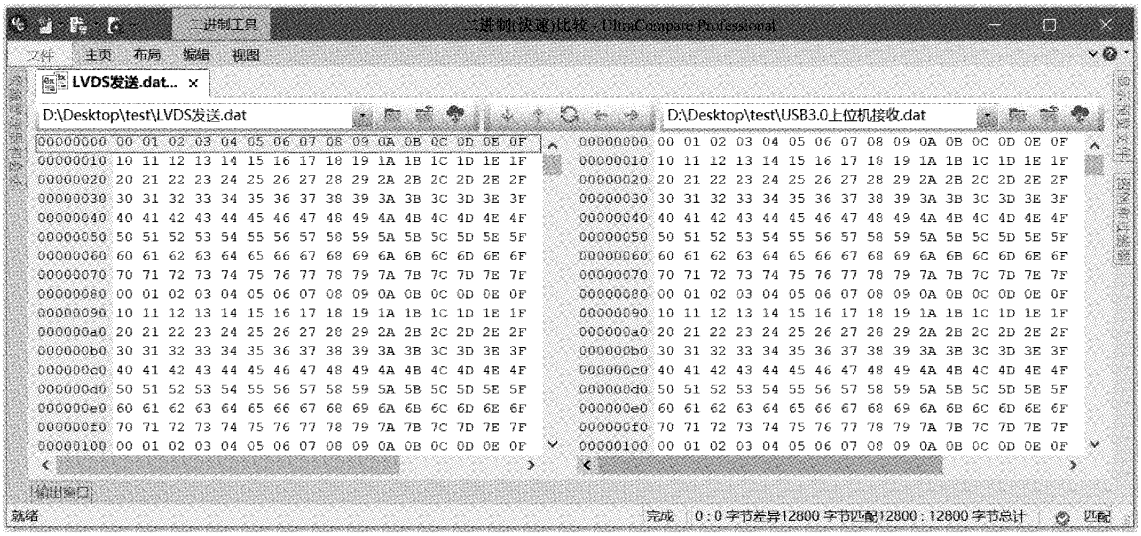

图 11　测试数据对比

同时,还进行了接口传输速度的测试,如图 12 所示,USB3.0 接口传输速度为 250.2 MB/s。在多次重复的数据接收测试中,随机抽取 10 组观察传输速度,如表 1 所示,接口传输速度基本稳定在 250 MB/s(2 000 Mbit/s)。

4.3　测试结果分析

根据以上测试结果分析,可以看出在多次数据传输的过程中,数据传输稳定可靠,没有数据的丢失或错误,数据传输速度更快,相对于使用 USB2.0 总线、千兆以太网的数据传输方式,具有更高的速度;相对于 PXI 总线,硬件设计更简单、开发流程更快、接口通用性更强,具有较高的实际应用价值。

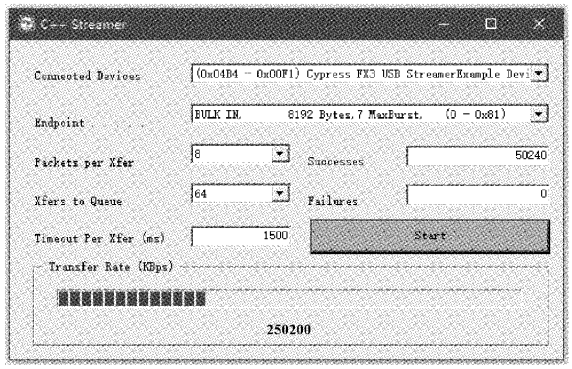

图 12　USB3.0 接口传输速度测试

表 1　10 组数据传输速度测试结果

次数	1	2	3	4	5	6	7	8	9	10
速度/(MB•s^{-1})	250.2	251.1	250.4	251.1	250.9	250.6	250.3	251.0	250.6	250.4

5　结　　论

本文设计了基于 LVDS 和 USB3.0 的高速数据传输接口,使用了 FPGA 内置的 LVDS 收发器,降低了硬件电路的复杂性和成本,并且加入了 DDR3 存储器作为两个接口之间数据传输的缓存,使用了 USB3.0 模块提高了 FPGA 与计算机之间的通信速度。经系统整体测试,数据传输速度能够达到 250 MB/s,具有较高的稳定性。有效地解决了高速数据采集过程中,通过 LVDS 接口向计算机高速传输数据的问题。

参考文献

[1]　冯其涛,耿艳峰,郑重,等.基于钻井液的随钻声波数据传输技术[J].仪器仪表学报,2019,40(3):106-113.

[2]　郭佳欣.基于 LVDS 的图像采集存储装置的设计与实现[D].太原:中北大学,2017.

[3]　王朕,肖支才,张文广.基于 PXI 总线的便携式可编程通用测试资源系统的设计[J].仪表技术,2021(1):23-26.

[4]　曹杨,藏鑫.基于 FPGA 的 USB2.0 接口电路多功能测试系统[J].电子设计工程,2020,28(9):27-31,36.

[5]　乔卫东,李跃,郭梁.航空航天相机成像性能测试系统研究[J].电子测量与仪器学报,2020,34(9):9-16.

[6]　章挺,余飞鸿.基于 FPGA 的多视频接口的紫外成像系统设计[J].电子测量技术,2021,44(1):103-109.

[7]　周晨曦,曾国强.基于 USB 3.0 的高速数据传输接口设计[J].计算机测量与控制,2020,28(5):146-150.

[8] 姚清志，王勇，高猛. 基于 FPGA 与 USB3.0 图像采集系统的设计[J]. 电子测试，2018(11)：9，6.

[9] 朱泽珲，任勇峰，贾兴中. 基于 LVDS 长距离高可靠性传输的优化设计[J]. 电子测量技术，2020，43(20)：150-154.

[10] 王红亮，王柳明. 基于 MLVDS 和 USB3.0 的多节点数据传输系统设计与实现[J]. 电子技术用，2019，45(1)：42-45，50.

[11] 孟令军，周之丽，文波，等. 基于 USB3.0 的 LVDS 高速图像记录系统的设计[J]. 电子器件，2015，38(4)：812-816.

[12] 付凯升. 基于 FPGA 和 USB3.0 高速数据采集系统的研究与设计[D]. 南京：南京航空航天大学，2018.

[13] 宋中喆，裴东兴，杨少博. 基于 USB3.0 接口的高速数据传输系统设计[J]. 现代电子技术，2017，40(4)：159-162.

[14] 王早. USB3.0 高速实时数据采集与记录系统硬件设计[D]. 成都：电子科技大学，2016.

[15] 梁青青，马超，张志文. 多惯组脉冲数据采集系统设计[J]. 国外电子测量技术，2019，38(12)：92-96.

作者简介

李锦明，副教授，硕士生导师，主要研究方向为动态测试、数据采编。

E-mail：44382214@qq.com

郑志旺，硕士研究生，主要研究方向为动态测试、数据采编。

E-mail：848584405@qq.com